

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-264672

(43) 公開日 平成5年(1993)10月12日

|                           |      |         |                       |        |
|---------------------------|------|---------|-----------------------|--------|
| (51) Int.Cl. <sup>5</sup> | 識別記号 | 庁内整理番号  | F I                   | 技術表示箇所 |
| G 0 1 R 31/302            |      |         |                       |        |
| 1/06                      | F    |         |                       |        |
| 1/067                     | D    |         |                       |        |
| 31/26                     | J    | 9214-2G |                       |        |
|                           |      | 6912-2G |                       |        |
|                           |      |         | G 0 1 R 31/28         | L      |
|                           |      |         | 審査請求 未請求 請求項の数7(全16頁) |        |

(21) 出願番号 特願平5-21863

(22) 出願日 平成5年(1993)1月14日

(31) 優先権主張番号 820, 711

(32) 優先日 1992年1月14日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000400

ヒューレット・パッカード・カンパニー

アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72) 発明者 デビット・テー・クルック

アメリカ合衆国コロラド州ラブランド, ア  
ベイタ・コート 2331

(72) 発明者 ジョン・エム・ヒューマン

アメリカ合衆国コロラド州ラブランド, グ  
ロリア・コート 1518

(74) 代理人 弁理士 長谷川 次男

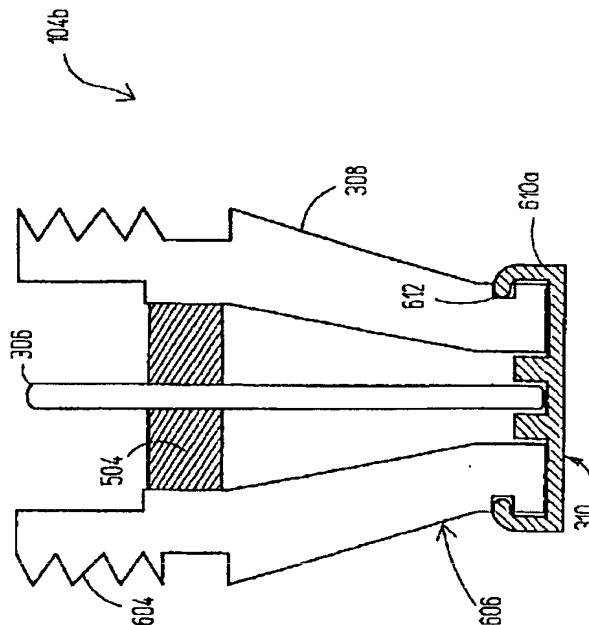
最終頁に続く

(54) 【発明の名称】 容量結合プローブ、信号捕捉方法及び試験システム

(57) 【要約】

【目的】 高密度実装基板のインサーキット信号捕捉を非接触でおこなう。

【構成】 内部導体306を外部導体308で包囲した構造を、回路導体の方法に合わせた大きさに構成する。内部導体と回路導体は小さな容量(10~100fF)で結合している。内部導体306に検出した信号は近接後続する増幅器で増幅される。また波形再生のため再生回路をさらに後続することもできる。



## 【特許請求の範囲】

【請求項1】後記(イ)及至(ハ)を含む回路導体からの電気信号を捕捉するための容量結合プローブ。

(イ)前記電気信号を容量性結合により検出し、検出出力を出力する検出手段、(ロ)前記検出手段に接続され、前記検出出力を受信して増幅し、増幅された信号を出力する増幅手段、(ハ)前記増幅手段に接続され、前記増幅された信号を受信して、前記電気信号の再生信号を出力する再生手段。

【請求項2】前記検出手段がプローブチップを有し、該プローブチップは内部導体とシールド導体とを有し、前記検出手段の活性領域を定めるように、前記シールド導体が前記内部導体を包囲するようにされた、請求項1記載の容量結合プローブ。

【請求項3】前記増幅手段を前記容量結合プローブのボディの内部で前記プローブチップに近接して配置されたことを特徴とする請求項1記載の容量結合プローブ。

【請求項4】後記(イ)及至(ハ)を含む回路導体から電気信号を捕捉するための容量結合プローブ。

(イ)内部導体と該内部導体を実質的に包囲するシールド導体とを含み、前記電気信号を前記回路導体から容量性結合により検出して検出出力を発生するための活性領域を有するプローブチップ、(ロ)前記プローブチップに機械的に結合されたプローブボディ、(ハ)前記プローブボディ内で前記プローブチップに近接して配置され、前記プローブチップに電気的にも接続されて、前記検出出力を受信し、増幅して、増幅された信号を出力するための増幅回路。

【請求項5】前記増幅回路の帯域幅が500MHz以上で、入力容量が10pF以下であることを特徴とする請求項4記載の容量結合プローブ。

【請求項6】後記(イ)及至(ハ)のステップを含む回路導体から電気信号を捕捉するための信号捕捉方法。

(イ)前記回路導体の隣接回路導体からのクロストークから前記電気信号を識別できるように寸法を定めた容量結合プローブにより前記回路導体をプロービングして電気信号を容量性結合により検出して検出出力を出力するステップ、(ロ)前記検出出力を増幅して増幅された出力を生成するステップ、(ハ)前記増幅された出力から前記電気信号を再生するステップ。

【請求項7】後記(イ)及至(ハ)を含む試験システム。

(イ)被試験回路に直流電源を供給するための電源手段、(ロ)試験信号を発生するための信号源手段、

(ハ)前記試験信号を前記被試験回路の第1の回路導体に導入するための相互接続手段、(ニ)前記被試験回路の第2の回路導体からの電気信号を容量性結合により検出して検出出力を発生する検出手段、(ホ)前記検出手段に接続され、前記電気信号を受信するための測定手段、(ヘ)前記信号源手段と前記電源手段と前記相互接

続手段と前記検出手段と前記測定手段、の動作を制御するための制御手段。

## 【発明の詳細な説明】

【0001】

【発明の技術分野】本発明は、広義には電子回路の通電試験の技術分野に関係し、より詳しくは、非接触試験信号捕捉技術に関する。

【0002】

【従来技術と問題点】従来、プリント回路基板の自動試験においては、入力信号をプリント回路基板(PCB)の外部入力に供給し、出力信号をPCBの外部出力から取出して観察する機能試験が行われる。また、この種の試験は、「エッジコネクタ機能試験」としても知られており、複合した回路の場合は非常に複雑になることがあり、限られたダイアグノスティックス(診断情報)しか得られない場合がある。従って、最近の試験では、このような従来の機能試験を効率的で柔軟性に優れたインサーキット試験で補完し、さらには機能試験に代えてインサーキット試験を行う場合もある。

【0003】インサーキット試験は、PCB上の各ディジタル集積回路(IC)の性能を独立の機能単位として互いに独立に試験する一種の機能的回路試験である。この試験を行うためには、テストは、入力信号を直接DUT(被測定デバイス)の入力に供給しなければならず、またDUTの出力にアクセスしてその出力応答を観察しなければならない。これによって、各ディジタルICは、あたかも他の回路から電気的に分離されているかの如く試験することができる。その結果、インサーキット試験では優れたダイアグノスティックスを得ることができる。

【0004】さらに、デバイスは独立して試験されるので、一般的な多くのディジタルICの試験については、前もってまとめてプログラムしてライブラリに記憶しておき、必要の都度呼び出して使用することができる。このプリプログラムされた試験は何回も繰り返して使用することができるので、試験生成を大幅に簡単化することができる。

【0005】インサーキット試験に必要なノードアクセスはいわゆる「深針ベッド(剣山)(bed-of-nails)」ジグを用いて行うことができる。「深針ベッド(剣山)」は、PCB表面上のパッドまたはトレースに接続されたデバイスI/O(入出力)ピンと直接オーミック接触(オーム性接触)するばね装荷された複数の導電性プローブを有する。そのためには、試験アクセスを必要とする各ノードはPCBの表面になければならず、かつ個々のテストプローブが各ノードと物理的に接触する(すなわちオーミック接触する)ことができるだけの十分な寸法を有しなければならない。このような物理的接触ができないと、インサーキット試験がうまく行かないことがある。

【0006】上記のような試験アクセスができないということこそ、まさしく今日の試験関係技術者が直面している問題である。電子回路のコンポーネントの小形化及び実装密度の増大によって、ノードへのアクセス性が著しく小さくなり、試験信号の取出しがますます困難になってきている。回路の設計技術者は極微小ピッチの多層PCBに高密度のコンポーネントを実装しようとするが、そのため多くの導体がアクセスできなかつたり、あるいは小さ過ぎて、従来のブローピング技術では接触できない等の問題が生じている。

【0007】例えば、従来の中規模集積回路(MSI)チップは大規模集積回路(LSI)チップ及び超大規模集積回路(VLSI)チップに取って代わられた。これらのチップのパッケージは、従来のデュアルインラインパッケージに加えて、ハイブリッドパッケージ(すなわち共通のセラミックまたはシリコンサブストレート上に未パッケージのシリコンチップを実装する)、TAB(テープオートメーティッド・ボンディング)及び表面実装技術が用いられている。最新の技術水準はVLSIをはるかに上回る集積度に向かっている。その結果、使用クロック速度が増大して(例えば108Hz以上)、新たに複雑な実装上の問題が発生し、これがマルチチップモジュール(MCM)の開発につながった。

【0008】MCMは、共通のサブストレートに実装された複数のシリコンダイを含むハイブリッド(混成)アセンブリである。この技術では、チップ上に電極配線系を形成するのに用いられるのと同じプロセスを用いて、サブストレート上のチップ間相互接続配線を形成することができる。MCMによれば、より多くのチップを相互により近接させて実装することによって、より大きい入出力速度及びより大きい信号処理速度に対応することが可能となる。これは、薄膜マイクロリソグラフィ法によって形成される細線多層相互接続機構を用いることにより達成される。

【0009】これらの最新技術は、試験アクセス性を犠牲にしてより大きな実装密度を達成した。その結果、設計技術者は、もはや回路の試験技術者に対して必要なノードアクセス性を保証することができなくなっている。

【0010】多くのノードは、トラップ状に多層PCBの内層に設けられている。ノードがICのI/Oピンになっている場合も、微細ピッチというICの幾何学的条件の故に、接触型プローブによるブローピングができないことがある。

【0011】これらの問題は、試験技術者に効果的なインサーキット試験を断念して、これより複雑なエッジコネクタ機能試験に逆戻りすることを強いている。しかしながら、エッジコネクタ機能試験も、コンポーネントレベルのダイアグノスティックスを得ようとする場合は、ある程度内部ノードアクセスを必要とすることが頻繁にある。例えば、エッジコネクタ試験によってPCBに障

害があることが明らかになった場合は、問題の原因を見付け出すために、規定範囲外の出力から回路を通して「遡及追跡(back trace)」を行うことが望ましいことが度々ある。これを行うためには、内部ノードでしか得られない出力にアクセスすることが必要となる。従って、エッジコネクタ機能試験に戻ることによりアクセスの問題は軽減されるが、これによってアクセスの問題がなくなる訳では決していない。

【0012】しかも、上記のような遡及追跡は手作業で行われることが多い。そのため、オペレータはプローブをパッドまたはその他のテストポイントと物理的接触させて保持することが必要である。今日の微細ピッチの幾何学的条件では、これは実際上不可能である。例えば、TABデバイスは、リード線の中心間距離10ミル(すなわち1インチの1000分の10)以下のことがしばしばある。このような寸法では、リード線を識別することは困難であり、ブローピングすることはそれにもまして困難である。

【0013】接触型ブローピングによって引き起こされるもう一つの問題は、接触させるのに必要な物理的力が開路を実際上閉じてしまう(例えば「コールド(cold)」はんだ接合部で閉じる)場合があるということである。この場合は、見付け難い誤接続を生じる可能性がある。

【0014】これらの従来のブローピング技術によって発生するさらにもう一つの問題は回路負荷の問題である。プローブによって回路に与えられる負荷は、検出中の信号を劣化させ、その結果試験が無効になることがある。例えば、1.0pFというような小さい容量性負荷であっても、一部の高周波回路を乱すのに十分な場合がある。

【0015】非接触試験信号捕捉方法は、「マイクロプロセッサ及びマイクロシステム(Microprocessors and Microsystems)」Vol. 16第2号69~71ページのG. エッチンガー(Ettinger)等による「非接触試験信号捕捉法」という論文に記載されている。その中で、エッチンガー等は、デジタル信号は容量結合によって検出することができるということを述べている。信号を伝達するソースワイヤより信号を取出すためには、ピックアップワイヤをソースワイヤに巻き付けるか、またはばねクリップをソースワイヤの回りにクランプする(例えば7mmの距離にわたって)。PCBからの信号検出のためには、平板状の容量性接点をトレース(例えば、5mm間隔で1.5mm幅のトレース)の上方に位置させてPCBに固定する。各ピックアップリードを、飽和型受信器、電界効果トランジスタ(FET)のゲートあるいはCMOS論理ゲートに接続して、信号検出/増幅を行う。この方法は、10KHz及至10MHzの周波数範囲のデジタル信号を検出することが可能であると説明

されている。

【0016】不都合なことに、上記のエッチング等の開示技術は、最新の回路試験に付随する問題の解決には適用することができない。まず、エッチング等が述べているピックアップリード（すなわちプローブ）は、サイズが大き過ぎて、最近の回路では使用することができない。今日の超微細トレースの幾何学的条件下でプロービングするためには、同様の寸法（例えば直径が0.1～0.254mmのオーダの寸法）を持つ超微細プローブチップを用いることが必要である。しかしながら、従来は、このように寸法が小さいと、信号捕捉に十分な容量結合を得ることが不可能であると考えられて来た。

【0017】それは、結合容量と、ピックアップ回路の入力容量と結合容量の和との比で信号が減衰するためである。結合容量は、ソースワイヤまたはトレースに近接するピックアップリード（すなわちコンデンサプレート）の表面積に比例する。従って、入力容量が一定の場合、プローブサイズが小さければ小さいほど、容量結合によって検出される信号は弱くなる。プローブサイズが小さ過ぎると、信号は、増幅器／ピックアップ回路の電気ノイズから効果的に区別することができるレベル以下まで減衰する。

【0018】例えば、エッチング等のピックアップリードのサイズは、1pF及至33pFのオーダの結合容量を生じると記載されているが、超微細プローブチップでは、結合容量が10fF（10フェムトファラッドまたは0.01pF）のオーダになることもある。従って、超微細プローブチップにより得られる検出信号はエッチング他のピックアップリードの場合に比較して少なくとも100分の1以下になるものと考えられる。エッチング等によって用いられた検出／増幅回路は、このような小さい入力信号では動作しないと思われる。さらに、エッチング等が述べているような大きな結合容量は、多くの高周波回路に許容不可能な負荷を生じさせることもある。

【0019】このような制約があるため、これまで商業ベースで実用的な試験信号捕捉用の容量結合プローブの開発は妨げられて来た。当業界では、容量性検出にはほとんど見込みがないと考えて、回路試験の問題を解決するための他の技術の調査・研究に重点が置かれることになった。

【0020】その中の1つの方法は、例えば、プラズマを用いてトレースとセンス電極との間に導電路を形成するものである。プラズマはセンス電極をレーザによって励振することにより作り出される。この方法については、アショク・ビンドラ（Ashok Bindra）により電子工学タイムズ（Electronic Engineering Times）1991年9月23日号の110ページに「高密度PWB上のプロービングを容易にする技術（Technique eases

probing on dense PWBs）」として要約されている。

【0021】もう一つの方法においては、クリスタルを信号伝導体に近接させて配置する。すると、信号伝導体より発生する電界がクリスタルの光学的特性を変化させるので、これをレーザを用いて検出することができる。この現象はポッケルス効果（Pockels effect）として知られている。試験技術会議（International Test Conference）会報695～699頁のトレンブレイ（Tremblay）、G.、メイルエクス（Meyrueix）、P.、ペウジン（Peuzin）、J.による「プリント回路基板の光学試験（Optical Testing of Printed Circuit Boards）」、及び写真・光学計装技術者協会（the Society of Photo-optical Instrumentation Engineers）会報vol. 153（1978年）33～39ページのボウルセン、P. D.による「非接触回路プロービングのための電気光学技術（Electro-optical techniques for non-contact circuit probing）」を参照のこと。

【0022】上記及び目下開発中のその他の新しい方法は、様々な技術的、経済的課題が依然解決されていないため、商業ベースで利用できる段階には達していない。

【0023】

【発明の目的】本発明の目的は、高密度回路においてアナログ信号及びデジタル信号の非接触取出しのために使用することができる容量結合プローブと、それを用いた試験システムにより上記問題点を解決することにある。

【0024】

【発明の概要】本発明の容量結合プローブは、プローブチップ、このプローブチップに機械的に結合されたプローブボディ、及びプローブボディ内部に配置された増幅器回路よりなる。プローブチップは、ほぼ周囲を導電性シールドで囲まれた内部導体を有する。プローブチップは、プロービングしようとする導体のサイズに応じた小さな寸法を有し、ピコファラッド以下のオーダの結合容量を呈する。導電性シールドは、すぐ近くの導体からのクロストークを減少させるためにプローブチップの活性領域を制限する作用をなす。

【0025】増幅器回路は、プローブチップからの容量結合によって検出された信号を受け取り、これに応答して増幅された信号を発生する。この増幅器は、高周波デジタル信号の増幅に対応し得る大きな帯域幅を有する。さらに、この増幅器は、信号減衰及びプロービングする回路へ与える負荷を小さくするため、非常に低い入力容量と高い入力抵抗を有する。増幅器回路は、浮遊容

量及び分布容量を小さくすることによって増幅器の入力容量をさらに減少させるために、プローブボディ内部においてプローブチップに極近接させて配置されている。

【0026】このプローブの有効帯域幅は、低周波ポール（極）から高周波ポールまで及ぶ。低周波ポールの位置はプローブチップをプロービングする導体に結合する容量及び増幅器の入力抵抗にによって決まる。高周波ポールは増幅器回路自体の応答性によって決まる。低周波ポールは、容量結合によって検出された信号の低周波成分が減衰させられるよう、プローブを微分回路として作用させる。

【0027】アナログ信号の場合は、低周波成分を保持することが望ましい。そのために、低周波ポールは、増幅器の入力抵抗を最大限にすることによってできるだけ低い周波数に移動させるべきである。また、プローブの有効帯域幅を大きくするよう高周波ポールの周波数をしてできるだけ大きくすることが望ましい。検出アナログ信号は、オシロスコープあるいはその他の計測器に直接入力することができる。

【0028】一方、デジタル信号の場合は、増幅器の低周波応答よりも高周波応答が重要である。デジタル信号の急峻なエッジに追従するには、増幅器の良好な高周波応答が要求される。デジタル信号の低周波成分（微分時になくなる）は、主として近直流周波数から成り、再生回路を用いて再生することができる。再生したデジタル信号は、ロジックアナライザのような試験機器で分析あるいは観察することができる。

【0029】本発明の一つの長所は、プロービングする対象がビア（貫通孔）、パッド、及びテストポイントに限定されないということである。本発明のプローブによれば、トレースやソルダレジストあるいはコンフォーマルコーティングの下層にある他の部分に対してもプロービングすることができる。さらに、メカニカルジグまたはロボット式プローブポジショナを用いるならば、細過ぎるか、密接し過ぎるために手作業あるいは従来の深針ベッド（剣山）式プロービングが不可能な部分でもプロービングすることができる。

【0030】本発明のもう一つの長所は、信号捕捉のために物理的接触が不要なことである。そのために、コンフォーマルコーティングし、ソルダマスクした汚れているPCBであっても、十分な信頼性をもってプロービングすることが可能である。実際、多層PCBの内層にしかないトレースであっても、導電性の平面またはトレースが間に介在していなければ、基板の表面から容量結合によってプロービングすることができる。

【0031】本発明のさらにもう一つの長所は、プローブの入力インピーダンスが非常に高いため、プロービング中の回路に与える負荷の作用を最小限に抑えることができるということである。

【0032】本発明のもう一つの長所は、高周波試験信

号（例えば、エッジ部の期間が1nsecの100MHz方形波）を取出すことができるということである。

【0033】

【実施例の説明】本発明は、小型の容量結合されたプローブ（容量結合プローブ、あるいは単にプローブとも言う）を用いることにより電気信号を非接触プロービングするための装置及び方法である。本発明は、デジタル試験信号捕捉に付随する独特の問題を解決しようとするものであるが、アナログ信号の取出しにも等しく適用することができる。本願において、「容量性」という用語と「非接触」という用語は互換的に使用され、オーミック接触のない結合を意味する。

【0034】「プローブ」は、他の電子機器について使用する電気信号検出素子を含むデバイスである。本発明のプローブは、PCBのトレース、ビア、パッド、I/Oピン、及びその他の電気導体から電気信号を検出するために用いられる。信号は、ハイブリッドでもMCMでも、多層PCBのソルダマスク、コンフォーマルコーティングあるいは1層以上の誘電層が間に介在しても、これらを通して取出すことが可能である用語を参照し易くするため、本願においては、信号を取出そうとする電気信号伝達導体を全て「トレース」という用語を用いて表すものとする。寸法に言及する際の単位はmmを使用する。

【0035】

【概要】図1は、本発明の概略ブロック図である。アナログ信号またはデジタル信号101は、プローブ102によってプローブチップ104を介して容量結合により検出される。プローブボディ108内に配置されたバッファ／増幅器回路106（以下「増幅器」106とする）は、容量結合により検出された信号を受け取る（かつ好ましくは増幅する）ようになっている。以下に詳細に説明するように、増幅器106は、プローブ102内においてプローブチップ104に極近接させて配置されている。

【0036】増幅器106からの信号は、オシロスコープ、歪み計あるいはスペクトラムアナライザ上で直接観察することもできるし（例えば、特にアナログ信号の場合）、再生回路110に供給するようにしてもよい（デジタル信号の場合）。再生回路110は、容量結合により検出された信号からデジタル信号101を再生する。この再生が必要なのは、プローブチップ104をプロービング中のトレースと結合する容量（容量）が信号をハイパス濾波または微分するよう作用するためである。この「結合容量」は図1にコンデンサ103として表されている。

【0037】ある信号の微分過程が図2に示してある。図2Aは、検出しようとする一例のデジタル信号202を示す。図2Bは、増幅器106の出力に現れる検出信号204を示す。図示のように、信号204は微分さ

れている。この微分によって、検出信号中の全ての直流レベル及び低周波変化は除去される。しかしながら、微分信号204を再生回路110に通して再生すると、図2Cに示すような再生デジタル信号206が再生される。プローブチップ

【0038】図3は、一例のICチップ302を示し、このICチップは複数のI/O（入出力）ピン304を有する。図示のように、本発明の非接触テストプローブ102はI/Oピン304の中の1本の上方に置かれる。上に説明したように、プローブ102は、プローブボディ108及びプローブチップ104よりなる。プローブチップ104は、互いに同軸状に配置された内部導体306及び外部導体またはシールド308を有する。内部導体306は、プローブチップ104の検出端310において対象トレースまたは導体（例えば、I/Oピン304）から容量結合により電気信号を受け取るようになっている。シールド308は、近傍の導体からの容量性干渉（すなわちクロストーク）に対して内部導体306を保護する。

【0039】最近のPCBは、幅及び間隔とも0.1というような非常に小さいトレースを有する。このようなトレースから信号を最適に捕捉するためには、プローブチップにはトレースと同様の大きさの「活性領域」を具備すべきである。信号の「最適」捕捉は、再生が可能な十分な振幅でもって信号を取出す一方、クロストーク及び被験回路に与える負荷を最小限に抑えることよりなる。クロストークは近傍のトレースからの信号による干渉である。

【0040】次に、図4には、プローブチップ104の活性領域が図解されている。図示例においては、第1のトレース402は第2のトレース404と互いに近接している。図は、内部導体306及びシールド308を含むプローブチップ104の横断面をトレース402、404に重ねて示してある。シールド308の内側半径 $r$ は、内部導体306及びシールド308と内部導体306の間のスペース406を含む円を画定する。この内側半径 $r$ により画定される領域がプローブチップ104の「活性領域」である。

【0041】トレース404上の信号からほとんど干渉を受けることなくトレース402を効果的にプロービングするためには、トレース402をプロービングするとき、プローブチップ104の活性領域が、上方から見てトレース404のどの部分にも全く重ならないことが望ましい。すなわち、シールド308の内側半径 $r$ はトレース402と404の間の距離 $x$ とトレースの厚さの2分の1との和より小さくすべきである。プローブの活性領域を小さくすればするほど、クロストーク排除性能は向上する。しかしながら、以下に説明するように、 $r$ を小さくすると、プローブチップの容量が増加する結果になる。

【0042】内部導体306の直径は、少なくとも最も小さいトレースの幅と同じ大きさにすべきである。こうすることによって、トレースとの最大結合が可能となる。内部導体をこれより少しでも小さくすると、容量結合が必要以上に減少し、検出信号は減衰させられる。内部導体をこれより大きくすると、クロストークが発生し易くなる。

【0043】プローブチップ104は、図5A及び5Bに示すように、同軸ケーブル（以下に「同軸（coax）」と称する）の小片で構成することもできる。図5Aの実施例のプローブチップ104aは短いセミリジット同軸よりなる。同軸の内部導体はプローブチップの内部導体306として機能する。同軸の外部導体はシールド308として機能する。これらの内部導体と外部導体との間には絶縁層504が配置されている。プローブチップの検出端310においては、成端リング502がシールド308に電気的に接続されている。

【0044】成端リング502は、シールド308の小部分を内部導体306に向けて半径方向内向きに延長する働きをする導電性「ワッシャ」またはディスクエレメントである。成端リング502は、シールド308の内側半径 $r$ を小さくすると同等の作用をなすことによって、シールド308の遮蔽効果を増大させる。その結果、プローブチップの活性領域が小さくなる。好ましくは、成端リング502及びシールド308は、プロービング時における偶発的な隣接導体との電気的接触を防ぐために絶縁層でコーティングする。

【0045】プローブチップ104aは、例えば概略下記のような寸法を有する50Ωの短いセミリジット同軸で形成することができる：全外径2.16（85ミル）の、内部導体外径0.51（20ミル）、成端リング中心開口部（活性領域）内径0.76（30ミル）。この実施例のプローブチップ104は容易に実施することができるが、超微細トレース（例えば厚さ及び間隔共0.1（4ミル）のトレース）の場合は、相対的にサイズが大きいため、用いることができない。超微細トレース用には、例えば図6Aまたは6Bに示すような構造のプローブチップを用いることができる。

【0046】図6Aは、プローブチップ104の第2の実施例104bを示す。プローブチップ104bは、内部導体306及びシールド308を有し、これらの間には絶縁体504が配置されている。絶縁体504は、周知の絶縁材（例えば空気、アルミナ、ポリエチレン、ナイロン、テフロン等）で形成すればよい。シールド308は、上部604にねじが形成され、下部606はテーパー状をなしている。上部604はプローブボディ108と係合されるようになっている。絶縁保護キャップ610aは、下部606の検出端310を保護し、かつ電気的に絶縁する。キャップ610aは下部606の周溝612に「スナップ」嵌めすることにより固定されてい

る。他の実施例としては、キャップ610を用いる代わりに、シールド308及び内部導体306に陽極酸化コーティングを施してもよい。

【0047】0.1(4ミル)のトレースサイズに適合させるため、プローブチップ104bも同様のサイズに形成されている。例えば、プローブチップ104bは、概略下記のような寸法に形成する：

内部導体306の外径=0.1(4ミル)

シールド308の検出端310の内径=0.305(1.2ミル)

キャップ610a付きの検出端310の外径=0.762(30ミル)ねじ付きの上部604の外径=1.22(48ミル)

プローブチップ104bの全長 $\geq$ 1.78(70ミル)

このように小さい寸法は、本発明が達成することができる小型プローブチップの一例を表している。プローブチップは、プロービングする回路の寸法に応じて上記の例より大きくすることができる。また、プローブチップは、密集したPCBにアクセスするため、より長くすることによりその到達可能距離を大きくすることもできる。

【0048】図6Bは、プローブチップ104の第3の実施例104cを示す。プローブチップ104cは、プローブチップ104bとほぼ同じである。ただし、シールド308の検出端310には成端リング616が設けられている。成端リング616は、シールド308の小部分を内部導体306の方に半径方向内向きに延長することにより、下部606の一体部分として形成されている。上に成端リング502の場合について説明したように、成端リング616は、プローブチップの活性領域を小さくすることによってシールド308の遮蔽効果を増大させるよう作用する。絶縁保護キャップ610bは、下部308の検出端310を保護し、かつ電氣的に絶縁する。

【0049】前に説明したように、「結合容量」は内部導体306とプロービングするトレースとの間にある容量である。結合容量は、プローブチップ104の幾何学的パラメータ、プロービングするトレースの幾何学的パラメータ、プローブチップとトレースとの空間的位置関係、及びプローブチップとトレースとの間の空間を満たす物質(例えば空気)の関数である。一般に、プローブチップが小さければ小さいほど、結合容量も小さくなる。上に説明したプローブチップ104の実施例の場合、結合容量は100fF(フェムトファラドまたは $10^{-15}$ ファラド)より小さく、好ましくは5~10fFのオーダーである。このような結合容量の値は、従来小さ過ぎて実際には利用できないと考えられていたが、本発明はこのような従来技術の限界を克服したものである。

【0050】上記実施例の他、本発明のプローブチップ104は、異なる用途の要求に応じて多種多様な実施例

に形成することが可能である。そのような他の実施例の1つのプローブチップ104dを図7に示す。プローブチップ104dは、メッキパイア(すなわち環状メッキリングを形成したスルーホール)との容量結合プロービングに適合したものである。図7の(A)はプローブチップ104dの縦断面図である。図7の(B)はプローブチップ104dの底面図である。プローブチップ104dは、内部導体306及びシールド308を有し、これらは互いに同軸状に配置されている。導体306とシールド308の間には絶縁層504が配置され、この絶縁層は導体306の先端部上まで延び、プローブチップ104dの検出端310を覆っている。あるいは、内部導体306及びシールド308を陽極酸化して電氣的に絶縁してもよい。

【0051】内部導体306の検出端は円錐台の形に形成されている。図7の(A)及び7の(B)に示すように、円錐の下底面(図の上側の底)の直径はd2であり、上底面の直径はd1である。そのため、内部導体306は内径がd1とd2の間にあるピアに容易に合わせることができる。

【0052】図8A及至図8Cには、プローブチップ104の他の実施例としてプローブチップ104eが示されている。プローブチップ104eは、IC802のピンまたは脚804に適合するよう設計されている。プローブチップ104eは、ピン804に適合する形状に作られた切り欠き部808を持つプローブボディ806を有する。図8Bはプローブチップ104eの正面図であり、図8Cは底面図である。内部導体306の回りには絶縁体504が配置されている。また、シールド308は、カットアウト部808を除き、内部導体306の回りに同軸状に配置されている。絶縁体504には、ほとんど内部導体306に達する深さの溝810が形成されている。この溝810はプローブチップ104eの活性領域を画定する。溝810の幅はピン804の幅より僅かに大きい。溝810は、内部導体306とピン804との間に緊密な容量結合が確保されるように、ピン804を受けるのに適合するよう形成されている。

【0053】プローブチップ104のさらにもう一つの実施例が104fとして図9に示されている。プローブチップ104fは細長いトレースに適合するよう設計されている。この実施例のプローブチップは、当技術分野において周知のプリント回路製造技術を用いて形成される。図9Aは、絶縁材料のサブストレート504上に作り込まれた内部導体306を示す底面図である。内部導体306は、所望のトレースサイズに対応する幾何学的諸元を持つよう形成される。この内部導体は、必要な結合容量を得るために細長い形に形成されている。シールド308は内部導体306の両側に形成されている。絶縁体504は内部導体306をシールド308に対して絶縁する。図9Bはプローブチップ104fの斜視図を



示す。図9Cは、エッチングにより形成したプローブチップ104fの変形態様を示す。

【0054】プローブチップ104のもう一つの実施例がプローブチップ104gとして図10に示されている。プローブチップ104gは、普通のICまたは他の部品の幾何学的諸元に合致するよう設計された集積型プローブアレイパッケージよりなる。例えば、プローブチップ104gは、図示のように、IC1000のピン1001~1004の各々と容量により結合されるようになっている4チャンネルの実施例である。プローブチップ104gは、プローブ102の形の完全なアレイパッケージを形成するよう、各チャンネル毎に増幅器106を設けた単一の集積パッケージとして形成することも可能である。

【0055】当業者であれば、以上説明したいくつかの実施例は本発明を網羅的に表すものではなく、プローブチップ104を作り得る種々の形状、構造を例示説明するために記載したものであるということは理解できよう。さらに、電子回路の幾何学的諸元が小さくなり続けるに従って、プローブ102のサイズ、従ってプローブ104サイズも小さくなって行くものと予想される。

【0056】バッファ／増幅器106を設計することには、増幅器の性能を手元の特定用途に合わせてカスタマイズするための多くのトレードオフが必然的に伴う。増幅器は全て利得帯域幅積が限られているため、基本的なトレードオフは、帯域幅に対する利得のトレードオフである。従って、一般的な設計事項について考察することは可能であるが、最終設計は目的とする用途によって決まる。容量結合により信号を検出する場合、信号は結合容量103と、増幅器106の入力容量と結合容量103との和の比で減衰する。従って、増幅器106の入力容量をできるだけ小さくして、この容量性ディバイダ効果を小さくすることが望ましい。

【0057】増幅器106の入力容量は、増幅器自体の入力容量、プローブチップ104の容量、さらにはプローブチップ104と増幅器106との間に入り込む分布容量あるいは寄生容量よりなる。プローブチップ104の容量は、内部導体306とシールド308との間の容量である。

【0058】分布容量（例えば電極配線、ケーブル、トレースまたはピンより生じる容量）は、例えば、増幅器106をできるだけプローブチップ104に近付けて取り付けることにより減少させることができる。そのために、増幅器106は、図11に示すようにプローブ102のボディ108の内部に取り付けられる。増幅器106は、ボディ108内への取付けを容易にするため、IC、ハイブリッドマイクロ回路あるいはミニチュアPCBとして形成することもできる。

【0059】プローブチップ104の容量（内部導体306とシールド308との間の）も最小限に抑えるべき

である。しかしながら、微細ピッチ用のプローブサイズ（すなわち小さい活性領域）とするためにシールド308と導体306との間のギャップを小さくすると、この容量が増加する。これらの相対立する要求は成端リング502、616を用いることによって解決される。薄い成端リングを用いることにより、シールド308の遮蔽効果を増大させることができると共に、プローブチップ104に入り込む付加容量を最小限に抑えることができる。

【0060】増幅器106の全体の入力容量を最小限にすることは、増幅器106の入力の信号強度を増大させる結果につながる。この場合、入力容量が小さいと、増幅器の使用可能な帯域幅が制限される点でトレードオフがある。

【0061】最適なトレードオフは、増幅器106の帯域幅がゼロヘルツから変化が最も速い検出信号より高い周波数（例えば10<sup>9</sup> Hz）に渡り、かつ全帯域幅にわたって利得が一定していることである。残念ながら、このようなトレードオフ不可能である。

【0062】試験信号はコンデンサ（すなわち結合容量103）を介して取出されるので、プローブ102はゼロヘルツにゼロ点を持ち、ある低周波数 $f_1$ にポールを持つ。そのため、 $f_1$ より低い信号周波数は減衰させられる。

【0063】さらに、増幅器106は、増幅器106の能動デバイス中の寄生インピーダンスによって生じる特有の高周波ロールオフまたはポールを有する。この高周波ポールは周波数 $f_2$ にある。

【0064】増幅器106のボード線図（デシベルで表した利得を周波数に対して対数目盛上でプロットしたもの）の例を図12に示す（利得線図のみ示し、位相線図は省略）。利得は低周波ポール（ $f_1$ にある）と高周波ポール（ $f_2$ にある）との間でほぼ一定である。利得が比較的安定している、あるいは「平坦」である周波数スパン（ $f_1 \sim f_2$ ）は、増幅器の「帯域幅」として知られている。低周波ポールの周波数（ $f_1$ ）は次式によって計算することができる：

$$f_1 = 1 / 2 \pi R_{IN} C_{IN}$$

ただし、 $R_{IN}$  = 入力抵抗

$C_{IN}$  = 総入力容量

広い帯域幅を得るためには、 $f_1$ をできるだけ低い周波数（例えば直流）に下げることが望ましい。そのためには、 $R_{IN}$ をできる限り大きくするべきである（すなわち、増幅器106の入力抵抗を大きくするべきである）。

【0065】しかしながら、入力容量（前に述べたように、結合容量の大きさと信号減衰の係りに左右される）を小さくすると、 $f_1$ を低くできる範囲が制限される。従って、非常に小さい結合容量（例えば5~10 fF）の故に $C_{IN}$ を大きくできる範囲が制限されるため、増幅

器106に良好な低周波応答を持たせることは困難である。

【0066】 $C_{in}$ をより大きくすることにより増幅器の低周波応答を改善すると、信号の減衰が大きくなって、その分大きな利得が増幅器に要求されることになる。信号を過度に減衰させると、増幅器の電気ノイズと識別することができなくなる。従って、増幅器106は、直流と変わらないような「平坦」な利得を持たせて作ることとは不可能であり、設計的にトレードオフしなければならない。このトレードオフは信号強度の低周波性能により行う。

【0067】高周波端側では、 $f_2$ をできるだけ高い周波数に押し上げることが望ましい。こうすることによって、プローブ102は信号周波数の最大スペクトルに応答を示すことが可能となる。 $f_2$ の位置は増幅器106の各特定の設計によって決定される。 $f_2$ を最大限大きくするためには、増幅器106は、寄生インピーダンス及び分布インピーダンスができるだけ小さくなるように設計するべきであり、また広帯域能動デバイスを用いるべきである。

【0068】アナログ信号を検出するためには、低周波成分をできるだけ多く維持することが望ましい。従って、 $f_1$ はできる限り低くすべきである。そのためには、 $R_{in}$ をできるだけ大きくしなければならない。さらに、容量結合により検出された信号がさらに減衰を受けても増幅器ノイズ中に消失することがない十分な大きさを有する場合は、 $C_{in}$ を僅かに大きくしてもよい。

【0069】増幅器106の高周波応答は、アナログ信号の変化が最も速い成分に追従するためにできるだけ大きくするべきである。

【0070】ディジタル信号他方、ディジタル信号の場合は、増幅器の高周波応答が低周波応答より重要である。ディジタル信号の変化が急峻なエッジに追従するためには、増幅器の良好な高周波応答が要求される。ディジタル信号の低周波成分（微分時になくなる）は、主として直流近傍の周波数から成り、これは再生回路110を用いることによって再生することができる（これについては以下に説明する）。

【0071】ここで重要なのは、ディジタル信号の変化エッジのみを取出し、次いでこれらのエッジ成分から信号を再生するということである。ディジタル信号の変化エッジを取出すには、増幅器の高周波応答だけが重要である。例えば、最近のディジタルデバイスでは、エッジまたは立上がり／立下がり時間1nsec（ナノ秒すなわち $10^{-9}$ 秒）のものは普通である。このようなエッジを確実に検出するためには、増幅器は約366MHz以上の周波数に高周波ポールを持つべきである。

【0072】この条件は下記の計算により求めたものである。

$V_1 = V_2 \exp(-\omega t)$  立上がり／立下がり比90 50

%の場合： $\exp(-\omega t) = V_1 / V_2 = 0.10$

$\omega = 2\pi f$ を用いて $f$ について解くと、

$f = -\ln(0.1) / 2\pi t = 0.366 / t$

ただし、 $V_1$ 及び $V_2$ は2つの論理レベル電圧

$t$ =エッジの立上がり／立下がり時間（90%電圧スイング）

$f$ =周波数（Hz）。

【0073】ここで、ディジタル信号を検出するための増幅器106の一実施例の回路設計を図13に示す。増幅器106は、2つのIC増幅器U1、U2とカスケード接続されたトランジスタQ1を有する。Q1はエミッタホロワの回路構成に従い接続されている。この回路構成は、増幅器106の入ラインピーダンスを大きくするのに役立つ。この実施例において、Q1は、米国イリノイ州シャウムバーグ（Schauamburg）のモトローラ社製になるNPNバイポーラ接合トランジスタ（部品番号MPSH10）である。U1及びU2は、米国カリフォルニア州サニーバールのシグネティクス・カンパニー社製のIC増幅器（部品番号NE5205N）である。この回路の抵抗器、コンデンサ及びインダクタの値は下記の通りである：

【0074】 $R1 = 21.5K\Omega$

$R2 = 16.2K\Omega$

$R3 = 619\Omega$

$C1 = 0.01\mu F$

$C2 = 0.01\mu F$

$C3 = 0.01\mu F$

$C4 = 0.01\mu F$

$C5 = 1.0\mu F$

30  $C6 = 0.01\mu F$

$L1$ =フェライトビーズ

$L2$ =フェライトビーズ

$L3$ =フェライトビーズ

【0075】この増幅器は、利得が37dB、入力容量が5pFであることが確認されている。小さな結合容量を介して交流結合した場合のこの増幅器の性能を試験するために、長さ25.4（1インチ）の50オームのセミリジット同軸（全外径=2.16（85ミル）、内部導体外径=0.51（20ミル））をその自由端をラッカードで絶縁処理して増幅器の入力に接続し、容量性プローブとして用いた。このプローブを接続した結果、入力容量が約7pFに増加した。信号伝達導体の近くにこのプローブの先端部を置いたところ、結合容量は50fFであった。HP8753Cネットワークアナライザ（米国カリフォルニア州ピャロアルトのヒューレット・パカード・カンパニー社製）を用いて、容量結合されたこの増幅器回路は約4MHz（ $f_1$ ）から550MHz（ $f_2$ ）の帯域において-6dBの総利得を持つということが確認された。位相ずれは、通過帯域全体にわたって線形性を保持した。

【0076】当技術分野においては、これ以外にも高利得広帯域増幅器が多数知られている。上に説明した増幅器は例示説明のためのものであり、当業者であれば、これと異なる種々の設計を用いることが可能であるということは理解できよう。さらに、改良を加えることによって、上記と同様の増幅器回路で1GHz（ギガヘルツすなわち109Hz）より広い帯域幅を達成することも可能であろう。実際、これは、低周波ロールオフ（ $f_1$ ）が20KHzより低く（すなわち、 $C_{IN}=5\text{pF}$ で $R_{IN}>1.6\text{M}\Omega$ ）、高周波ロールオフ（ $f_2$ ）が1GHz以上である増幅器によって実現される。

【0077】さらに、帰還をかけることにより上記の増幅器の特性を個別に細かく調整することもできる。利得を犠牲にして帯域幅を広くし、安定度を高くするのに負帰還を用いることは、当技術分野においては周知である。軽度の正帰還が有用な場合もある。ユニティループ利得（ループ利得1）による正帰還または「ブーツストラッピング」を使用することも広く行われている。ブーツストラッピングをかける回路中の点を念入りに選択することによって、様々な効果を達成することが可能である。例えばプローブのシールドにブーツストラッピングをかけると、高周波ポール（ $f_2$ ）がより低くなるという犠牲において、実効入力容量を減少させ、総合利得を増大させることができる。これより効果が有るのではないと思われるのは、入力バイアス抵抗器にブーツストラッピングをかけて実効入力抵抗を大きくし、これによって高周波ポールあるいは総合利得に影響を及ぼすことなく低周波ポール（ $f_1$ ）を低くすることである。

【0078】増幅器106の利得は、対象のトレースとプローブチップとの間の距離に左右される結合容量に直接依存するので、増幅器106より出力される信号の振幅は、プローブチップとプロービング中のトレースとの間の距離によって激しく変化し得る。その結果、増幅器飽和に付随する問題が生じることが有る。これを解決するため、自動利得制御（AGC）回路を増幅器106に組み込んでよい。AGC方式は当技術分野においては周知である。

【0079】再生回路110の実施例の概略回路図を図14に示す。回路110は、比較器U3を用いて構成される双安定ラッチである。ツェナーダイオードZ1及びZ2は、入力線を所定の電圧範囲にクランプする。抵抗器R6及びR8は、出力“Q”（すなわち正出力）が高いとき正帰還（例えばこの実施例においては1%帰還）を生じることによって回路110にヒステリシスを与える。同様に、抵抗器R7及びR9は、出力Qがローのとき同様のヒステリシスを与える。抵抗器R4及びR5は、コンデンサC8と共に比較器U3に基準電圧を与える。

【0080】図示実施例においては、U3は、米国カリフォルニア州ミルピタス（Milpitas）のリニア

テクノロジーズ・コーポレーション（Linear Technologies Corporation）社製のLT1016比較器である。回路コンポーネントの値は下記の通りである：

【0081】Z1及びZ2=400mVツェナー電圧  
R4及びR5=37.5 $\Omega$   
R6及びR7=500 $\Omega$   
R8及びR9=50K $\Omega$   
C8=27pF。

【0082】各コンポーネントが上記の値を有する場合、回路110の入力は $\pm 400\text{mV}$ にクランプされる。基準電圧は、入力電圧の2分の1に等しく、入力電圧に対して500psec（ピコ秒すなわち10<sup>-12</sup>秒）～1nsec遅延する（比較的高い周波数で）。回路のヒステリシスは正負各方向共40mVに等しい（計80mV）。

【0083】この実施例の再生回路110を前述のプローブ／増幅器コンビネーションと共に用いた結果、ソルダレジスト被覆パッド、トレース、及びビア、さらには多層PCBの内層トレースから最高70MHzまでのデジタル信号を十分検出し、かつ再生することができた。ただし、この再生回路110の実施例は、もっぱら説明のために記載したものである。比較器U3としては、上記のものよりはるかに高速の比較器ICがあり、それらを使用することも可能である。

【0084】従来のプローブの容量結合プローブへ転換一部の用途、特にプローブサイズが小さいことがそれほど重要でない用途の場合、能動型オシロスコーププローブのような従来の多くのオーミック接触式能動型プローブを非接触プローブに転換することができる。これは、能動型プローブにシールドアダプタを取り付けることにより達成される。以下、その実施例について説明する。

【0085】図15Aには、従来のオーミック接触式能動型オシロスコーププローブ1500が示されている。図示のオシロスコーププローブ1500は、ボディ部1502、絶縁ノーズコーン1506、プローブチップ1508、及びボディ部1502内に設けられた増幅器回路1504よりなる。図示のように、ボディ部1502は通常アースに接続されている。

【0086】図15Bは、プローブ1500を非接触プローブへ転換した後の状態を示す。この場合、プローブ1500にはシールドアダプタ1510が取り付けられる。シールドアダプタ1510は円錐形の端部1512を持つ円筒である。端部1512は、プローブチップ1508と位置を合わせてプローブ1500の活性領域を形成するようになっている開口部1514を有する。シールドアダプタ1510は、アルミニウムのような導電材料で形成され、電気的に絶縁するため陽極酸化されている。シールドアダプタ1510の部分1516の内面は、プローブボディ1502（すなわちアース）とシー

19

ルドアダプタ1510との間の電氣的接触を確保することができるよう、陽極酸化であってはならない。

【0087】プローブチップ1508は、プロービング中の導体との偶発的なオーミック接触が起こることがないよう、開口部1514に対して僅かに内側に引っ込ませるべきである。あるいは、プローブチップ1508をシールドアダプタ1510の検出端と突き当たるようにする場合は、プローブチップ1508は陽極酸化するか、または薄い絶縁キャップを用いて絶縁するべきである。

【0088】ここで、非接触プローブに転換可能な能動型オシロスコーププローブの例をいくつか説明する。このようなプローブとしては、例えばHP1141プローブ、P6201プローブ及びP6204プローブ等がある。HP1141は、米国カリフォルニア州ピャロアルトのヒューレット・パッカード・カンパニー社製の1x（すなわち利得=1の）プローブである。HP1141は1MΩの入力抵抗、7pFの入力容量及び直流～200MHzの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ1510により最悪の場合で2pFの入力容量が入り込むとして）、HP1141の帯域幅は約17.7KHz～200MHzまでになる。

【0089】P6201は、米国オレゴン州ビーバートン（Beaverton）のテクトロニクス・インコーポレーテッド（Tektronics, Inc.）社製の1x（利得=1）プローブである。P6201は、100KΩの入力抵抗、3pFの入力容量、及び直流～通常1.1GHzの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ1510により最悪の場合で2pFの入力容量が入り込むとして）、P6201の帯域幅は約318KHz～1.1GHzになる。

【0090】P6204は、やはり上記テクトロニクス・インコーポレーテッド社製の10x（利得=0.1）プローブである。P6204は、10MΩの入力抵抗、2pFの入力容量、及び直流～1GHzの帯域幅を有する。上記のような非接触プローブへ転換すると（シールドアダプタ1510により最悪の場合で2pFの入力容量が入り込むとして）、P6204は、約4KHz～1

【0091】本発明によれば、物理的接触なしに信号捕捉が可能のため、ソルダマスクまたはコンフォーマルコーティングの層を介して信号を得ることができる。さらに、多層PCBの内側トレースからも信号を得ることができる。さらに、本発明プローブは結合容量が小さいため、被験回路に与える負荷を常に最小限に抑えることができ、しかもプロービングによって外乱に敏感な高速回路の動作が妨害されることは全くない。

【0092】本発明のプローブは様々な用途に用いるこ

20

とができる。例えば、本発明のプローブは、自動位置決め用のロボットアームに取り付けることができるし、複数のプローブを自動テストで用いられる釘のベッド型プローブと同様のアレイの形に固定して用いることもできる。あるいは、オシロスコープ、ロジックアナライザと共に、もしくはエッジコネクタ機能適及追跡試験時に手で持って使用することも可能である。

【0093】本発明のプローブ102を使用した自動化PCB試験システムの一例を図16に1600として示す。図示の試験システム1600は、コントローラ1608、電源装置1604、信号源1606、測定システム1607、マルチプレクサ（MUX）1605、深針ベッド（剣山）型治具1601、エッジコネクタ1603、ロボットポジションナ1609、及び本発明を実施したハンドヘルド・プローブ1610よりなる。試験する回路基板またはアセンブリ（BUT）1602は、エッジコネクタ1603及び／または探針ベッド（剣山）型治具1601を介して信号バス1613によりシステム1600とインターフェイスされる。

【0094】電源装置1604は、信号バス1613を介してBUT1602に直流電源を供給する。信号源1606は、BUT1602を試験するために必要な試験信号を発生するアナログ関数発生器、周波数発生器及びデジタルパターン発生器等を含む。測定システム1607は、BUT1602から試験信号を受け取り、分析するよう構成されている。測定システム1607は、複数のデジタル受信器、シグネチャ解析回路、及び種々のアナログ及び／またはデジタル計測器（例えばオシロスコープ、ロジックアナライザ、歪み計等）を含む。

【0095】MUX1605は、バス1612を介して信号源1606から試験信号を受け取り、それらの試験信号を信号バス1613を介してBUT1602の適切なノードに供給する。さらに、MUX1605は、信号バス1613を介してBUT1602の適切なノードから信号を受け取り、それらの信号をバス1612を介して測定システム1607に供給する。

【0096】コントローラ1608はボード1602の試験を制御する。コントローラ1608は、バス1615を介して信号供給源1606と、またバス1616を介して測定システム1607とそれぞれ通信する。コントローラ1608は、制御バス1611を介して電源装置1604、MUX1606及びロボットポジションナ1609と通信する。

【0097】探針ベッド（剣山）型治具1601は、容量性プローブ102及び従来のオーミックプローブ1610を共に複数含むものであってもよい。さらに、容量性プローブ102は、ロボットポジションナ1609及びハンドヘルドプローブ1610と共に使用することもできる。これによれば、本発明の非接触プローブの多くの利点を自動化PCBテストで利用することが可能であ

る。

【0098】以上、本発明を特定の実施例により詳細に説明したが、当業者であれば本発明の精神及び範囲から逸脱することなく種々の変更、修正を行うことが可能なことは明らかであろう。

【0099】

【発明の効果】本発明を実施することにより、回路の内部の信号を高精度で高周波まで観測できるので、回路の試験、検査、解析、診断において本発明は有益である。特に以下の諸点において効果が大である。

【0100】本発明の一つの効果は、プロービングする対象がビア（貫通孔）、パッド、及びテストポイントに限定されないということである。本発明のプローブによれば、トレースやソルダレジストあるいはコンフォーマルコーティングの下層にある他の部分に対してもプロービングすることができる。さらに、メカニカルジグまたはロボット式プローブポジショナを用いるならば、細過ぎるか、密接し過ぎるために手作業あるいは従来の探針ベッド（剣山）式プロービングが不可能な部分でもプロービングすることができる。

【0101】本発明のもう一つの効果は、信号捕捉のために物理的接触が不要なことである。そのために、コンフォーマルコーティングし、ソルダマスクした汚れているPCBであっても、十分な信頼性をもってプロービングすることが可能である。実際、多層PCBの内層にしかないトレースであっても、導電性の平面またはトレースが間に介在していなければ、基板の表面から容量結合によってプロービングすることができる。

【0102】本発明のさらにもう一つの効果は、プローブの入ラインピーダンスが非常に高いため、プロービング中の回路に与える負荷の作用を最小限に抑えることができるということである。

【0103】本発明のもう一つの効果は、高周波試験信号（例えば、エッジ部の期間が1nsecの100MHz方形波）を取出すことができるということである。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2A】試験のため集録されるべきデジタル信号の1例の波形図である。

【図2B】結合容量を介して微分された図2Aの信号の波形例を示す図である。

【図2C】図2Bの信号が再生回路により再生された信号の波形図である。

【図3】本発明の一実施例の容量結合プローブを被測定ICに接続した状態を示す斜視図である。

【図4】プローブチップの活性領域を説明するための図である。

【図5A】本発明の一実施例でのプローブチップの斜視図である。

【図5B】図5Aのプローブチップの断面図である。

【図6A】本発明の第2の実施例のプローブチップの断面図である。

【図6B】本発明の第3の実施例のプローブチップの断面図である。

【図7】本発明の第4の実施例のプローブチップの断面図及び底面図である。

【図8A】本発明の第5の実施例のプローブチップの側面図である。

【図8B】本発明の第5の実施例のプローブチップの正面図である。

【図8C】本発明の第5の実施例のプローブチップの底面図である。

【図9A】本発明の第6の実施例のプローブチップの底面図である。

【図9B】本発明の第6の実施例のプローブチップの斜視図である。

【図9C】本発明の第6の実施例のプローブチップの変形実施例の斜視図である。

【図10】本発明の第7の実施例のプローブチップの斜視図とプロービングされるICの1部分を示す図である。

【図11】プローブボディ108内でのバッファ／増幅器106の位置を示すための図である。

【図12】増幅器106の周波数特性のボード線図（利得／田線を示す）である。

【図13】増幅器106の一実施例の概略回路図である。

【図14】再生回路110の一実施例の概略回路図である。

【図15A】従来技術によるオーミック接触式能動型オシロスコーププローブ1500の断面図である。

【図15B】図15Aのプローブに本発明を適用して非接触プローブに変換したものの断面図である。

【図16】自動化PCB試験システムのブロック図である。

【符号の説明】

101：アナログ信号あるいはデジタル信号

102：（容量結合）プローブ

103：結合容量

104, 104a, 104b, 104c, 104d, 104e, 104f, 10

4g：プローブチップ

106：増幅器（バッファ／増幅器）

108, 806：プローブボディ

110：再生回路

302, 802：ICチップ

304, 804：I/Oピン

306：内部導体

308：シールド

310, 614b：検出端

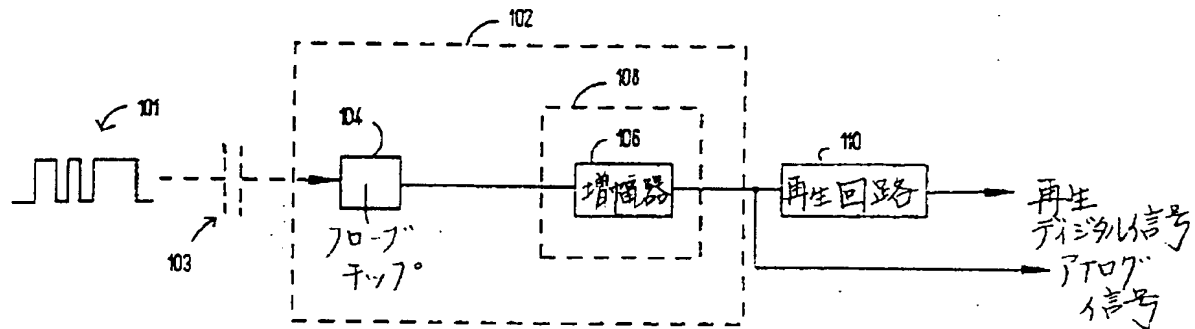
23

24

402, 404: トレース  
 406: シールド308と内部導体306間のスペース  
 502, 616: 成端リング  
 504: 絶縁層  
 604: プローブチップの上部  
 606: プローブチップの下部  
 610a, 610b: 絶縁保護キャップ

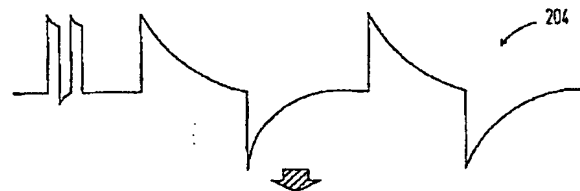
612: 周溝  
 808: 切り欠き部  
 1001, ...1004: I/Oリード  
 1600: 自動化PCB試験システム  
 1602: BUT  
 1603: エッジコネクタ  
 1610: ハンド・ヘルドプローブ

【図1】



【図2A】

【図2B】



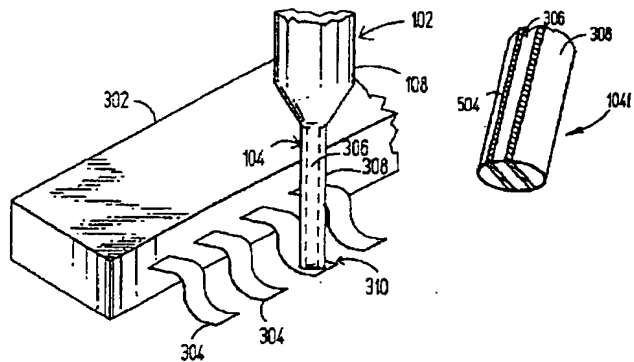
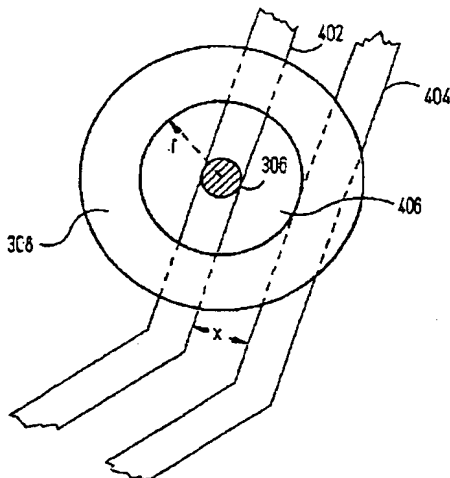
【図2C】



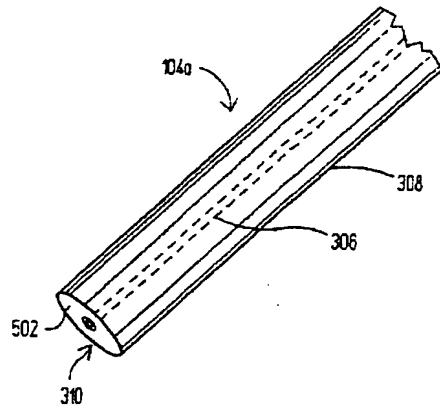
【図3】

【図9B】

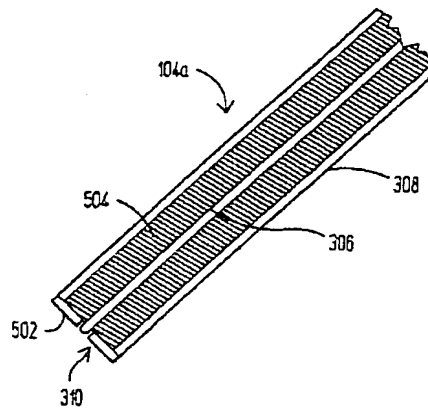
【図4】



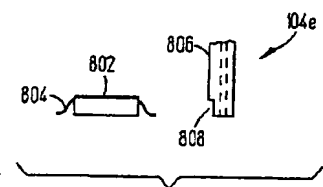
【図5A】



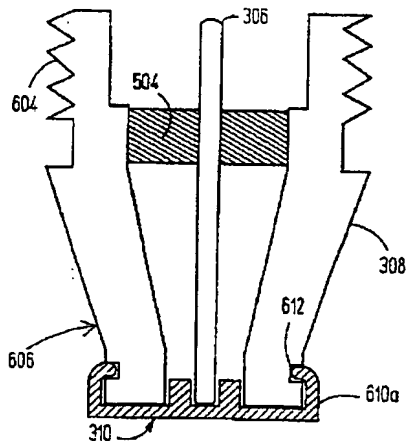
【図5B】



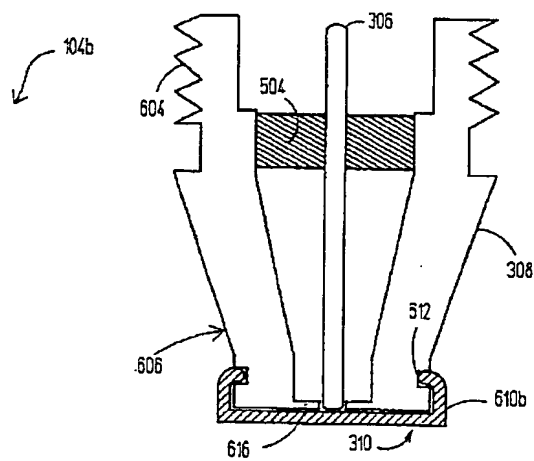
【図8A】



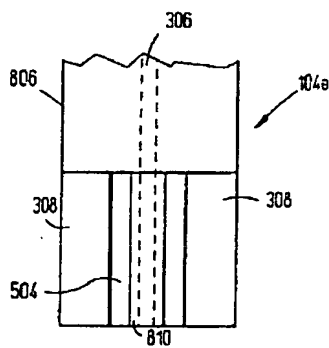
【図6A】



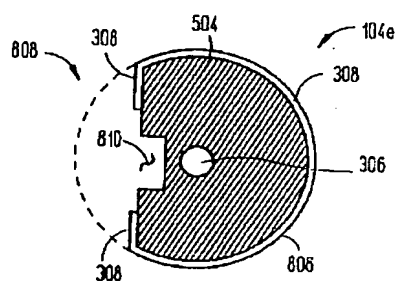
【図6B】



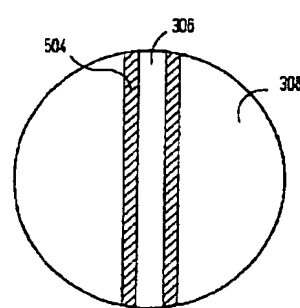
【図8B】



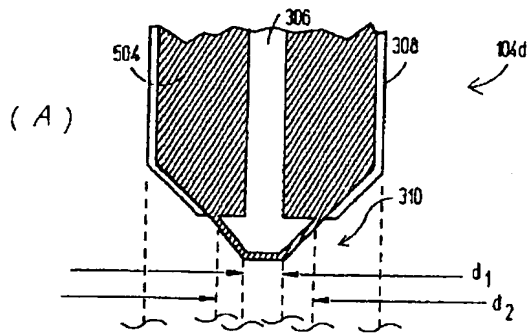
【図8C】



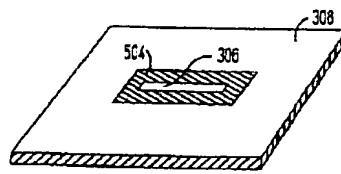
【図9A】



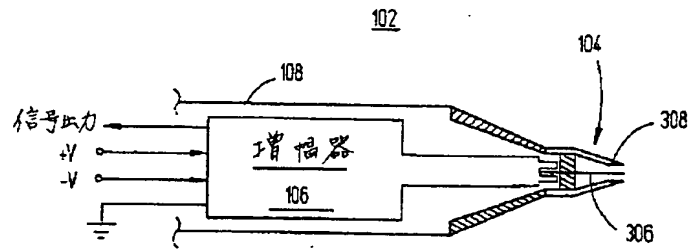
【図7】



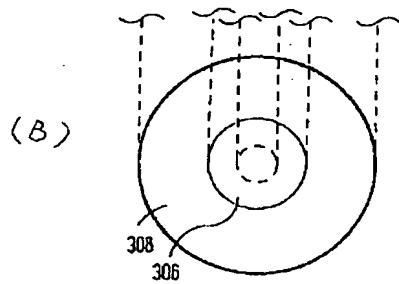
【図9C】



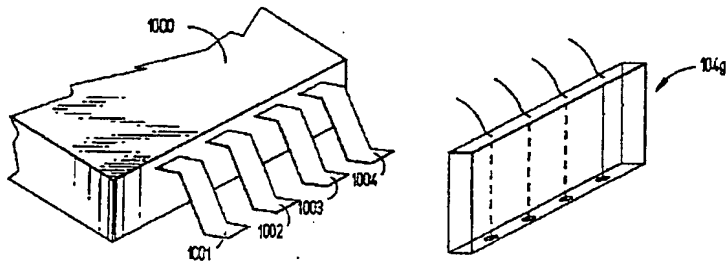
【図11】



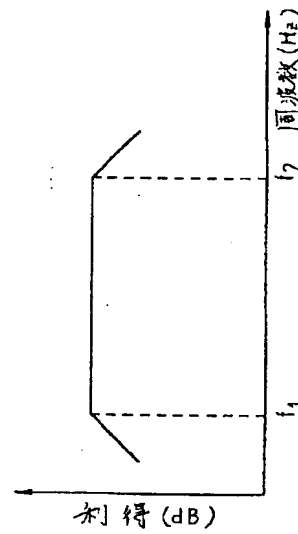
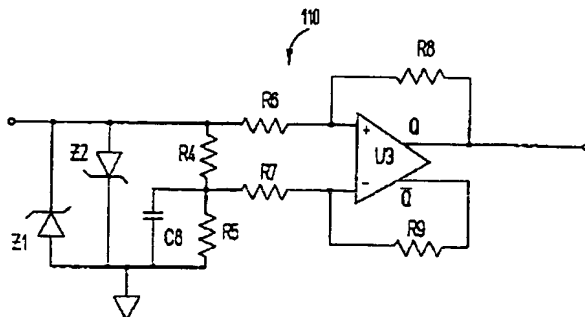
【図12】



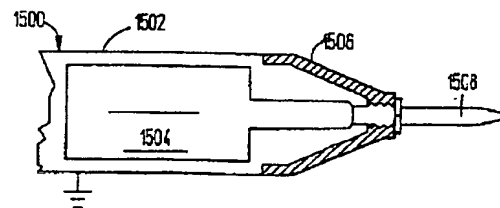
【図10】



【図14】

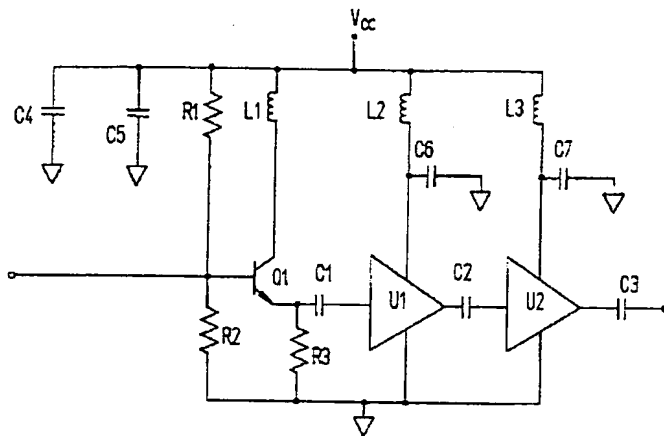


【図15A】

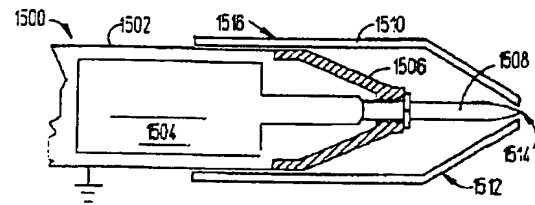




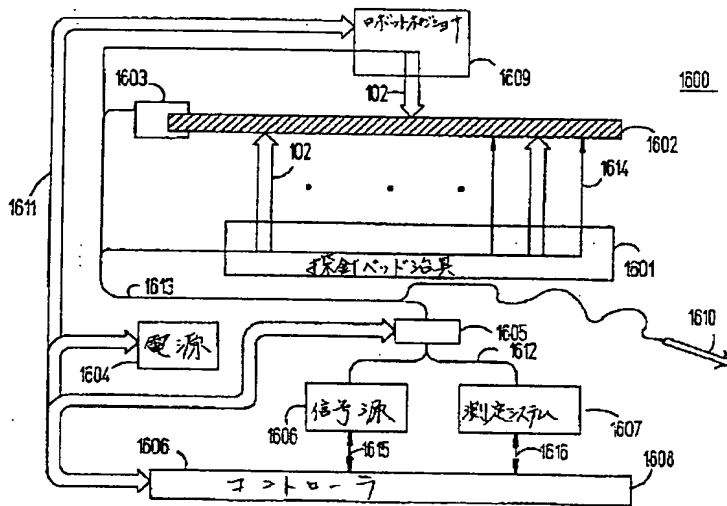
【図13】



【図15B】



【図16】



フロントページの続き

(72)発明者 ジョン・イー・マクダーミット  
アメリカ合衆国コロラド州ラブランド、ス  
プリング・グレード 8520

(72)発明者 ロナルド・ジェー・バイファー  
アメリカ合衆国コロラド州フォート・コリ  
ンズ、パークウェイ・コート 512

(72)発明者 エド・オー・シュロツハウアー  
アメリカ合衆国コロラド州ラブランド、シ  
エリダン・アベニュー 4319